

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

15263423

Basic Patent (No,Kind,Date): JP 11097698 A2 990409 <No. of Patents: 001>

THIN-FILM TRANSISTOR (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): KAMAGAMI SHINICHI

IPC: *H01L-029/786; G02F-001/136; H01L-021/336

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 11097698	A2	990409	JP 97258821	A	970924 (BASIC)

Priority Data (No,Kind,Date):

JP 97258821 A 970924

★TOKE

P81

99-294187/25

★JP 11097698-A

Thin film transistor structure for driving pixel electrode in liquid crystal display device - includes pair of gate electrodes which are electrically connected, so that area between edge part of first gate electrode, source area, and drain area is covered

TOSIIBA KK 97.09.24 97JP-258821

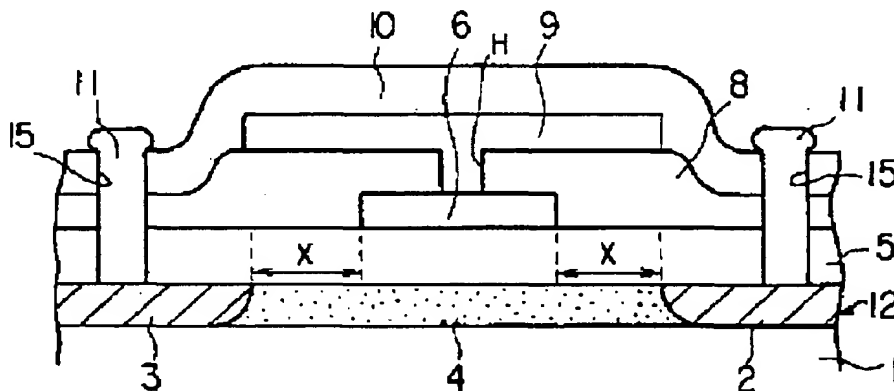
U12 U14 (99.04.09) II01L 29/786, G02F 1/136, II01L 21/336

NOVELTY - A gate electrode (6) formed on gate insulating film (5) is electrically connected to another gate electrode (9) through a layer insulation film (8). The area between edge of gate electrode (6) with source and drain areas (2,3) of semiconductor layer (12) is covered by gate electrode (9). DETAILED DESCRIPTION - Channel area (4) is formed in semiconductor layer, between source and drain areas. Gate polar zone is formed over channel area through gate insulation film (5) covering semiconductor layer. Gate electrode (6) is formed in polar zone.

USE - For driving pixel electrode in liquid crystal display device.

ADVANTAGE - Reduces leak current when negative gate voltage is applied due to reduction in field strength between channel and drain, thereby ON-OFF ratio is enlarged without increase in power consumption. DESCRIPTION OF DRAWING(S) - The figure shows sectional view of thin film transistor. (2) Source area; (3) Drain area; (4) Channel area; (5) Gate insulating film; (6,9) Gate electrodes; (8) Layer insulation film. (4pp Dwg.No.1/2)

N99-220764



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-97698

(43)公開日 平成11年(1999) 4月9日

(51)Int.Cl.⁹

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 7 J

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 21/336

H 0 1 L 29/78

6 1 6 V

6 1 7 A

6 1 7 U

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21)出願番号

特願平9-258821

(22)出願日

平成9年(1997)9月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鎌上 信一

埼玉県深谷市幡羅町1丁目9番2号 株式

会社東芝深谷電子工場内

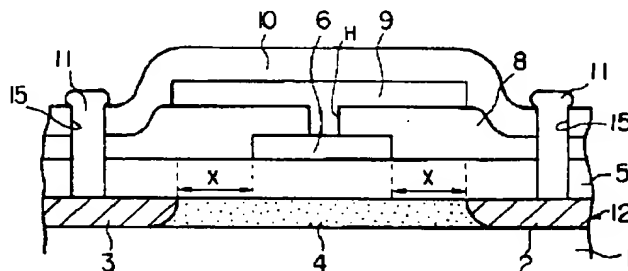
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【課題】 オフ時のリーク電流の低減によりオン／オフ比を大きくする。

【解決手段】 薄膜トランジスタは絶縁基板1上に形成される半導体層12と、半導体層1内にチャネル領域4を挟んで互いに離間されるソースおよびドレイン領域2、3と、半導体層12の表面を覆うゲート絶縁膜5と、チャネル領域4上にゲート絶縁膜を介して形成されるゲート電極部とを備え、ゲート電極部はゲート絶縁膜5上に形成されソース領域2およびドレイン領域3の間隔よりも小さい幅を有する第1ゲート電極6と、第1ゲート電極6上に層間絶縁膜8を介して積層され、第1ゲート電極6に電氣的に接続されると共に第1ゲート電極6の幅方向の端部とソースおよびドレイン領域2、3の少なくとも一方の端部との間の領域を覆うように配置された第2ゲート電極9とを有する。



【特許請求の範囲】

【請求項1】 絶縁基板上に形成される半導体層と、前記半導体層内にチャネル領域を挟んで互いに離間されるソースおよびドレイン領域と、前記半導体層の表面を覆うゲート絶縁膜と、前記チャネル領域上に前記ゲート絶縁膜を介して形成されるゲート電極部とを備え、前記ゲート電極部は前記ゲート絶縁膜上に形成され前記ソース領域およびドレイン領域の間隔よりも小さい幅を有する第1ゲート電極と、前記第1ゲート電極上に層間絶縁膜を介して積層され、前記第1ゲート電極に電氣的に接続されると共に前記第1ゲート電極の幅方向の端部と前記ソースおよびドレイン領域の少なくとも一方の端部との間の領域を覆うように配置された第2ゲート電極とを有することを特徴とする薄膜トランジスタ。

【請求項2】 前記ソースおよびドレイン領域は前記第2ゲート電極と同一の導電性材料からなる電極層にそれぞれ接続されることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 前記半導体層はポリシリコンで構成されることを特徴とする請求項1に記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置において駆動電圧を画素電極に選択的に印加するスイッチング素子として用いられる薄膜トランジスタに関する。

【0002】

【従来の技術】 図2は、液晶表示装置に組込まれる従来のコプレーナ型薄膜トランジスタ(TFT)の断面構造を示す。図2に示すように、この薄膜トランジスタは絶縁基板1の表面上に形成されるポリシリコンの半導体層12、この半導体層12内に形成される一対のソース・ドレイン領域2および3、これらソース領域2およびドレイン領域3間に形成されるチャネル領域4を有する。この薄膜トランジスタはさらに半導体層12の表面を覆う例えばシリコン酸化膜からなるゲート絶縁膜5、このゲート酸化膜上に形成されるゲート電極6、およびこのゲート電極6を覆う層間絶縁膜20を有する。ソース領域2およびドレイン領域3の各々は、層間絶縁膜20およびゲート絶縁膜5を貫通するコンタクトホール15を介して電極層11に接続される。

【0003】 この薄膜トランジスタでは、ソース領域2およびドレイン領域3がゲート電極6に対して自己整合的に形成されており、ゲート電極6のゲート長とチャネル領域4のチャネル長とほぼ等しい長さを有している。

【0004】 その動作において、例えばnチャネルTFTの場合には、ソース領域2およびドレイン領域3間に正電圧を印加することによりドレイン領域3からチャネル領域4を介してソース領域2にドレイン電流が流れる。この状態がTFTのオン状態になる。また、ゲート

電極6を負バイアスすると、上述のドレイン電流が遮断されるオフ状態となる。尚、実際にはオフ時においてもわずかにリーク電流が流れる。このような薄膜トランジスタをスイッチング素子として使用する場合には、オン時とオフ時のドレイン電流の比、すなわちオン/オフ比が一定の値以上となる範囲でゲート電圧を設定する。

【0005】

【発明が解決しようとする課題】 しかしながら、上述した従来の薄膜トランジスタにおいては、トランジスタのオフ時のリーク電流が大きいことが問題となってきた。例えば、nチャネルTFTにおいて、オフ時にゲート電極6に対して負バイアスが印加されると、ゲート電圧およびドレイン電圧による電界がドレイン接合部に集中する。このため、ドレイン接合部近傍のシリコン粒界のトラップを介してキャリアがトンネリングし、リーク電流が流れる。また、pチャネルTFTにおいて、オフ時にゲート電極6に正バイアスが印加されると、ドレイン接合部に電界集中が生じ、nチャネルTFTと同様にリーク電流が発生する。このようなリーク電流の発生によりオフ時の電流が上昇し、そのためオン/オフ比が小さくなるという問題が生じる。本発明の目的は、オフ時のリーク電流が低減されオン/オフ比を大きくすることが可能な薄膜トランジスタを提供することにある。

【0006】

【課題を解決するための手段】 本発明によれば、絶縁基板上に形成される半導体層と、半導体層内にチャネル領域を挟んで互いに離間されるソースおよびドレイン領域と、半導体層の表面を覆うゲート絶縁膜と、チャネル領域上にゲート絶縁膜を介して形成されるゲート電極部とを備え、ゲート電極部はゲート絶縁膜上に形成されソース領域およびドレイン領域の間隔よりも小さい幅を有する第1ゲート電極と、前記第1ゲート電極上に層間絶縁膜を介して積層され、前記第1ゲート電極に電氣的に接続されると共に前記第1ゲート電極の幅方向の端部と前記ソースおよびドレイン領域の少なくとも一方の端部との間の領域を覆うように配置された第2ゲート電極とを有することを特徴とする薄膜トランジスタが提供される。

【0007】 この薄膜トランジスタでは、第1ゲート電極がソースおよびドレイン領域から離れるように後退し、この第1ゲート電極の代りに第2ゲート電極が第1ゲート電極とソースおよびドレイン領域との間の領域に電界を印加する。この第2ゲート電極は層間絶縁膜により第1ゲート電極よりも半導体層から離されるため、この第2ゲート電極部からソースおよびドレイン領域と第1ゲート電極との間の領域に印加される電界の集中が従来の薄膜トランジスタの場合に比べて緩和される。従って、薄膜トランジスタがオフした状態でチャネル領域に流れるリーク電流を抑制することができる。

【0008】

【発明の実施の形態】以下、本発明の一実施形態に係る薄膜トランジスタを図1を参照して説明する。この薄膜トランジスタは液晶表示装置において駆動電圧を画素電極に選択的に印加するスイッチング素子として用いられる。図1はこの薄膜トランジスタの断面構造を示す。この薄膜トランジスタは、ガラス板や石英板などの絶縁基板1をベースにして製造される。すなわち、絶縁基板1の表面上には、ポリシリコンなどの半導体層12が形成され、この半導体層12の表面領域に一对のソース領域2およびドレイン領域3と、その間にチャンネル領域4とが形成される。半導体層12の表面上には、シリコン酸化膜(SiO₂)などからなるゲート絶縁膜5が形成される。さらに、ゲート絶縁膜5の表面上には第1ゲート電極6が形成されている。そして、このゲート電極6などの表面上にはシリコン酸化膜などからなる絶縁膜8がその表面を覆うように形成されている。さらに、絶縁膜8の表面には第2ゲート電極9が形成される。このゲート電極9は絶縁膜8を介在してゲート電極6を覆いさらにチャンネル領域4のオフセット区間Xに延出するように形成され、ゲート電極6にコンタクトホールHを介して電氣的に接続される。さらに、電極9および絶縁膜8の表面上にはシリコン酸化膜(SiO₂)などからなる絶縁膜10が形成されている。また、絶縁膜10、絶縁膜8およびゲート絶縁膜5中にはソース領域2およびドレイン領域3に達するコンタクトホール15が形成されており、このコンタクトホール15を通して電極配線層11が各々ソース領域2およびドレイン領域3に接続されている。

【0009】本実施形態による薄膜トランジスタゲート電極は、以下のような構造を有している。まず、ゲート電極6は、例えばアルミニウム(Al)あるいは不純物がドーピングされたポリシリコンなどから構成される。ゲート電極6のゲート長はチャンネル領域4のチャンネル長より短く形成されており、この結果、チャンネル領域4の両端とゲート電極6との間にオフセット区間Xが構成されている。このゲート電極6には薄膜トランジスタをオン／オフさせるための所定のゲート電圧が配線層(図示せず)を通じて印加される。

【0010】このような電極構造において、ゲート電極6に負バイアス電圧が印加された場合には、電極9にも同じ電圧が印加される。このため、チャンネル領域にはゲート電極6からの電界がかかり、また、オフセット区間Xに対応するチャンネル領域4の部分には電極9からの電界がかかることになる。オフセット区間Xに対応するチャンネル領域4の部分と電極9の間にはゲート絶縁膜5の他に絶縁膜8があるため、その分小さい電界がかかることになる。

【0011】このようにソース領域2およびドレイン領域3の近傍のチャンネル領域4(特にドレイン領域3近傍)においては、ゲート電極6のゲート電圧を印加した

場合に比べ、その領域に生成される電界の集中を緩和することができる。この結果、電界集中に起因するリーク電流の発生を低減することができる。また、pチャネルTFTの場合には、オフ時にゲート電極6に正バイアスの電圧が印加されると、オフセット区間Xでの電圧降下によりチャンネル領域端とドレイン領域端との間の電界集中が緩和される。そして、リーク電流の発生が低減される。また、ゲート電極9に正バイアス電圧を印加した場合には、電極9にも同じ電圧が印加される。その結果、チャンネル領域4およびオフセット区間Xにキャリアが誘起されて所定のオン電流を得ることができる。このように、本発明の実施形態による薄膜トランジスタは、オフ時のリーク電流を低減することによりオン／オフ比を増大することができる。このため、トランジスタのオフ時にゲート電極6に印加するゲート電圧と、オン時にゲート電極6に印加するゲート電圧との電圧差を大きくすることなく必要とされるオン／オフ比を確保することができる。このため、ゲート電圧の増大による消費電力の増加をきたすことなく所望のオン／オフ比を確保することができる。尚、電極配線層11をゲート電極9と同一の導電性材料で構成すれば、これらを単一の製造工程で形成することが可能である。

【0012】

【発明の効果】以上のように、本発明による薄膜トランジスタでは、第1ゲート電極に加えてチャンネル領域のオフセット区間に延出する第2ゲート電極を形成し、これらを電氣的に接続したことにより、ゲート負バイアス時にオフセット領域での電圧降下によりチャンネル端とドレイン端との間の電界集中を緩和し、トランジスタのオフ時のリーク電流を低減することができる。このため、ゲート電圧の増大による消費電力の増加をきたすことなくオン／オフ比の大きい薄膜トランジスタを実現することができる。

【図面の簡単な説明】

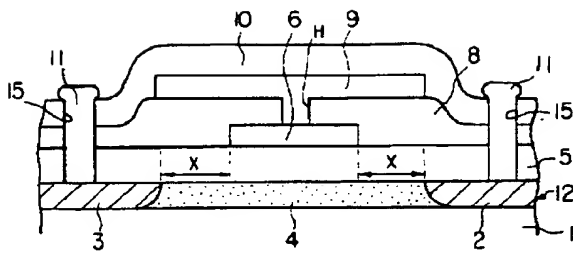
【図1】本発明の第1実施形態に係る薄膜トランジスタの構造を示す断面図である。

【図2】従来の薄膜トランジスタの構造を示す断面図である。

【符号の説明】

- 1…絶縁基板、
- 2…ソース領域、
- 3…ドレイン領域、
- 4…チャンネル領域、
- 5…ゲート絶縁膜、
- 6…第1ゲート電極、
- 8…絶縁膜、
- 9…第2ゲート電極、
- 10…絶縁膜、
- 11…電極配線層
- 12…半導体層。

【図1】



【図2】

